



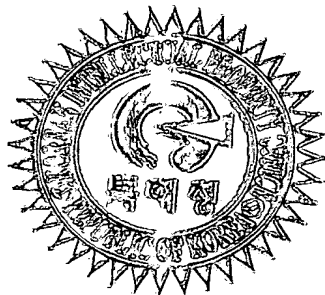
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087274  
Application Number

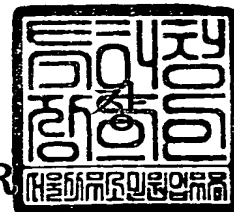
출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

출원 인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 30 일

특 허 청  
COMMISSIONER





1020020087274

출력 일자: 2003/11/6

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0002  
**【제출일자】** 2002. 12. 30  
**【발명의 명칭】** 프로그램이 가능한 커패시터 및 이의 제조 방법  
**【발명의 영문명칭】** programable capacitor and method for manufacturing having the same  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 2001-050901-4  
**【발명자】**  
**【성명의 국문표기】** 정경윤  
**【성명의 영문표기】** JUNG, Kyung Yun  
**【주민등록번호】** 691205-1559815  
**【우편번호】** 469-885  
**【주소】** 경기도 여주군 가남면 신해리 현진 에버빌 205동 703호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)  
**【수수료】**  
**【기본출원료】** 18 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은, 축적 용량의 가변이 가능한 커패시터 및 이의 제조 방법에 관한 것이다. 하부 전극, 유전막 및 상부 전극으로 이루어진 커패시터와, 상기 하부 전극과 연결되고, 상기 커패시터와의 제1전기적 신호를 전달하기 위한 제1금속 배선과, 상기 상부 전극과 연결되고, 상기 커패시터와의 제2전기적 신호를 전달하고, 상기 제2전기적 신호의 전달에 의해 상기 커패시터의 용량의 가변이 가능한 제2금속 배선을 포함하되, 상기 제2금속 배선에는 안티 퓨즈가 형성된다. 이에 따라, 사용자가 전기적 신호를 프로그래밍함으로서 상기 커패시터의 축적 용량을 가변시킬 수 있다.

**【대표도】**

도 11



## 【명세서】

## 【발명의 명칭】

프로그램이 가능한 커패시터 및 이의 제조 방법{programable capacitor and method for manufacturing having the same}

## 【도면의 간단한 설명】

도 1 내지 도 9는 종래의 반도체 장치의 커패시터의 제조 방법을 나타내는 단면도들이다.

도 10은 본 발명의 방법에 따라 제조된 반도체 장치의 커패시터를 나타내는 개략적인 구성도이다.

도 11은 도 10의 A-A'선을 자른 단면도이다.

도 12는 도 10의 반도체 장치의 커패시터의 동작 관계를 설명하기 위한 회로도이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 프로그램이 가능한 커패시터 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 축적 용량의 가변이 가능한 커패시터 및 이의 제조 방법에 관한 것이다.

<6> 반도체 장치를 구성하는 요소 중에서 중요한 것의 하나가 커패시터이다. 그리고, 현재에는 금속-유전체-반도체(metal-insulator-semiconductor : MIS)의 구조를 갖는 커패시터 또는 폴리-유전체-폴리(poly-insulator-poly : PIP)의 구조를 갖는 커패시터를 주로 사용하고 있다.



- <7> 그러나, 최근에는 낮은 전압에서의 구동이 가능하고, 열적 효율(TCC : temperature coefficient of capacitor)이 우수한 커패시터의 제조가 요구되고 있다. 따라서, 금속-유전체-금속(metal-insulator-metal : MIM)의 적층 구조를 갖는 커패시터가 개발 중에 있다.
- <8> 도 1 내지 도 9는 종래의 반도체 장치의 커패시터의 제조 방법을 나타내는 단면도들이다.
- <9> 도 1 내지 도 6을 참조하면, 기판(도시되지 않음) 상에 하부 전극막(10), 유전체(12) 및 상부 전극막(14)을 순차적으로 적층한 후, 포토레지스트 패턴과 같은 마스크층(15)을 사용하여 상기 상부 전극막(14) 및 유전체(12)를 패터닝한다. 이에 따라, 도 5에 도시된 바와 같이, 하부 전극막(10) 상에 유전막(12a) 및 상부 전극(14a)이 형성된다. 그리고, 포토레지스트 패턴과 같은 마스크층(17)을 다시 사용하여 상기 하부 전극막(10)을 패터닝한다.
- <10> 이에 따라, 상기 기판 상에는 하부 전극(10a), 유전막(12a) 및 상부 전극(14a)으로 이루어지는 커패시터(1)가 형성된다.
- <11> 도 7 및 도 8을 참조하면, 상기 커패시터(1) 상에 층간 절연막을 형성한 후, 포토레지스트 패턴과 같은 마스크층(19)을 사용하여 상기 층간 절연막을 패터닝한다. 이에 따라, 상기 층간 절연막은 상기 하부 전극(10a)의 표면과 상기 상부 전극(14a)의 표면을 노출시키는 제1콘택(18a)과 제2콘택(18b)을 갖는 층간 절연막 패턴(18)으로 형성된다.
- <12> 도 9를 참조하면, 상기 제1콘택(18a)과 제2콘택(18b) 각각에는 제1콘택 플러그(20a)와 제2콘택 플러그(20b)를 형성시키고, 상기 제1콘택 플러그(20a)와 제2콘택 플러그(20b)와 연결되는 제1금속 배선(22)과 제2금속 배선(24)을 형성한다. 이때, 상기 제1금속 배선(22)과 제2금속 배선(24)은 동일한 층간 절연막 패턴 상에 형성된다.



- <13> 이와 같이, 상기 방법을 통하여 형성한 종래의 커패시터는 제조 시점에서 그것의 축적 용량이 결정된다. 따라서, 다양한 기능을 요구하는 최근의 반도체 장치의 제조로는 MIS 적층 구조, PIP 적층 구조 또는 MIM 적층 구조 등과 같이 다양한 구조의 적용에도 불구하고 상기 요구를 만족시키기에는 적합하지 않음을 확인할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <14> 본 발명의 제1목적은, 축적 용량의 가변이 가능한 반도체 장치의 커패시터를 제공하는데 있다.
- <15> 본 발명의 제2목적은, 축적 용량의 가변이 가능한 반도체 장치의 커패시터의 제조 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

- <16> 상기 제1 목적을 달성하기 위한 본 발명은, 하부 전극, 유전막 및 상부 전극으로 이루어진 커패시터와, 상기 하부 전극과 연결되고, 상기 커패시터와의 제1전기적 신호를 전달하기 위한 제1금속 배선과, 상기 상부 전극과 연결되고, 상기 커패시터와의 제2전기적 신호를 전달하고, 상기 제2전기적 신호의 전달에 의해 상기 커패시터의 용량의 가변이 가능한 제2금속 배선을 포함하되, 상기 제2금속 배선에는 안티 퓨즈가 형성된다.
- <17> 이때, 상기 제1금속 배선과 제2금속 배선은 서로 엇갈리게 배치된다.
- <18> 상기 제2 목적을 달성하기 위한 본 발명은, 기판 상에 하부 전극, 유전막 및 상부 전극으로 정의되는 커패시터를 형성하는 단계와, 상기 커패시터를 갖는 기판 상에 제1층간 절연막을 형성하는 단계와, 상기 제1층간 절연막을 패터닝하여 상기 하부 전극을 노출시키는 제1콘택을 갖는 제1층간 절연막 패턴을 형성하는 단계와, 상기 제1콘택에는 제1콘택 플러그를 갖는 제1금속 배선을 형성하는 단계를 포함한다.



속 배선을 상기 제1층간 절연막 패턴 상에 형성하는 단계와, 상기 제1금속 배선을 갖는 제1층간 절연막 패턴 상에 제2층간 절연막을 형성하는 단계와, 상기 제2층간 절연막 및 제1층간 절연막을 순차적으로 패터닝하여 상기 상부 전극을 노출시키는 제2콘택을 갖는 제2층간 절연막 패턴을 형성하는 단계와, 상기 제2콘택에는 제2콘택 플러그를 갖는 제2금속 배선을 상기 제2층간 절연막 패턴 상에 형성하되, 상기 제2금속 배선에 안티 퓨즈를 형성하는 단계를 포함한다.

<19> 이때, 상기 제1콘택을 갖는 제1층간 절연막 패턴을 형성할 때 상기 제1층간 절연막 패턴에 상기 상부 전극을 노출시키는 제2예비 콘택을 형성하는 단계를 더 포함하는 것이 바람직하다. 그리고, 상기 안티 퓨즈는 상기 제2금속 배선의 제2콘택 플러그를 둘러싸는 형태로 형성되는 것이 바람직하다.

<20> 이와 같이, 본 발명에 의하면, 상기 안티 퓨즈를 커패시터와의 전기적 연결을 위한 금속 배선에 적용함으로써 상기 안티 퓨즈의 기능적 역할을 통하여 상기 커패시터의 축적 용량의 가변이 가능하다. 즉, 사용자가 전기적 신호를 프로그래밍함으로써 상기 커패시터의 축적 용량을 가변시킬 수 있다.

<21> 이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.

<22> 도 10은 본 발명의 방법에 따라 제조된 반도체 장치의 커패시터를 나타내는 개략적인 구성도이다, 도 11은 도 10의 A-A'선을 자른 단면도이다.

<23> 도 10 및 도 11을 참조하면, 하부 전극(100a), 유전막(100b) 및 상부 전극(100c)으로 이루어진 커패시터(1)를 갖고, 상기 하부 전극(100a)과 연결되고, 상기 커패시터(1)와의 제1전기적 신호를 전달하기 위한 제1금속 배선(104)을 갖고, 상기 상부 전극(100c)과 연결되고, 상기

커패시터(1)와의 제2전기적 신호를 전달하고, 상기 제2전기적 신호의 전달에 의해 상기 커패시터(1)의 용량의 가변이 가능한 제2금속 배선(108)을 갖는다.

<24> 이때, 상기 제1금속 배선(104)은 제1콘택 플러그(104a)에 의해 상기 하부 전극(100a)과 연결되고, 상기 제2금속 배선(108)은 제2콘택 플러그(108a)와 제3콘택 플러그(108b)에 의해 상기 상부 전극(100c)과 연결된다. 특히, 상기 커패시터(10)의 축적 용량을 가변시킬 수 있는 안티 퓨즈(108c)는 상기 제3콘택 플러그(108b)에 형성되는데, 상기 제3콘택 플러그(108b)를 둘러싸도록 형성되는 것이 바람직하다.

<25> 그리고, 상기 제2콘택 플러그(108a)의 경우에는 그것의 형성 방법이 다양하다. 이에 대해서는 후술하기로 한다.

<26> 이하, 본 발명의 바람직한 실시예에 따른 커패시터의 제조 방법에 대하여 설명하기로 한다.

<27> 먼저, 기판 상에 하부 전극, 유전막 및 상부 전극을 갖는 커패시터를 형성한다. 상기 커패시터의 형성은 전술한 종래의 방법과 동일한 방법에 의해 달성된다.

<28> 이어서, 상기 커패시터 상에 제1층간 절연막을 적층한다. 그리고, 사진 식각 공정을 통하여 형성한 포토레지스트 패턴과 같은 마스크층을 사용하여 상기 제1층간 절연막을 제1층간 절연막 패턴을 형성한다. 상기 제1층간 절연막 패턴은 상기 하부 전극의 표면을 노출시키는 제1콘택을 갖는다. 그리고, 상기 상부 전극의 표면을 노출시키는 제2콘택을 가질 수도 있다.

<29> 이어서, 상기 제1콘택에 도전 물질을 매립시키는 제1콘택 플러그를 형성한다. 상기 제1콘택 플러그를 매립시키는 도전 물질의 예로서는 매립 특성이 우수한 텅스텐을 들 수 있다. 상기 제1콘택 플러그는 상기 제1콘택 내에 도전 물질이 매립되도록 상기 제1층간 절연막 패턴 상





에 박막을 형성한다. 그리고, 상기 제1층간 절연막 패턴이 노출되도록 화학 기계적 연마와 같은 평탄화 공정을 수행함으로써 상기 제1콘택에만 상기 도전 물질을 매립시킨다. 이에 따라, 상기 제1콘택 플러그가 형성된다.

<30> 여기서, 상기 제1층간 절연막 패턴 상에 제2콘택이 형성되어 있을 경우에는 상기 제1콘택 플러그를 형성할 때 상기 제2콘택에 제2콘택 플러그를 형성시키는 공정을 동시에 수행할 수 있다.

<31> 이어서, 상기 제1콘택 플러그와 전기적으로 연결되는 제1금속 배선을 형성시킨다. 상기 제1금속 배선 또한 패터닝 공정에 의해 형성된다.

<32> 다음에, 상기 제1금속 배선을 갖는 제1층간 절연막 패턴 상에 제2층간 절연막 패턴을 형성한다. 그리고, 사진 식각 공정을 통하여 형성한 포토레지스트 패턴과 같은 마스크층을 사용하여 상기 제2층간 절연막을 제2층간 절연막 패턴을 형성한다. 이에 따라, 상기 제2층간 절연막 패턴을 형성함으로써 상기 제2층간 절연막 패턴은 제3콘택을 갖는다.

<33> 여기서, 상기 제2콘택이 형성되어 있지 않을 경우에는 상기 제3콘택을 형성한 후, 상기 제3콘택에 의해 노출된 부위를 계속적으로 제거하여 제2콘택을 형성한다. 그러나, 상기 제2콘택을 형성한 경우에는 상기 제3콘택을 형성함으로써 상기 제2콘택의 제2콘택 플러그가 노출되는 구성을 갖는다.

<34> 이어서, 상기 제3콘택에 도전 물질이 매립된 제3콘택 플러그를 형성한다. 특히, 상기 제3콘택 플러그를 형성하기 이전에 상기 제3콘택 플러그의 측벽과 저면에 도전 물질이 연속적으로 형성되는 안티 퓨즈를 형성한다. 그리고, 상기 안티 퓨즈를 갖는 제3콘택에 상기 제3콘택 플러그를 형성시키는 것이다.



- <35> 그리고, 상기 제3콘택 플러그와 연결되는 제2금속 배선을 형성시킨다. 상기 제2금속 배선 또한 상기 제1금속 배선의 형성과 동일한 공정을 수행함으로써 형성되는 것이 바람직하다.
- <36> 이와 같이, 일련의 공정을 수행함으로써 상기 프로그램이 가능한 커패시터의 제조가 가능하다. 즉, 상기 프로그램이 가능한 커패시터의 경우에는 종래의 커패시터와, 안티 퓨즈 및 원하는 커패시터를 선택하기 위한 로직 회로를 갖는다.
- <37> 이와 같이, 상기 방법에 따라 제조된 커패시터는 안테나 매칭 장치 또는 가변 주파수 발진기 회로 등에 적극적으로 적용할 수 있다. 즉, 본 발명의 커패시터는 다양한 기능을 요구하는 최근의 반도체 장치에 적극적으로 활용할 수 있다.
- <38> 여기서, 상기 방법에 따라 제조된 커패시터의 축적 용량을 가변하는 방법에 대하여 설명하기로 한다.
- <39> 도 12는 도 10의 반도체 장치의 커패시터의 동작 관계를 설명하기 위한 회로도이다. 여기서, 도 12의 회로도의 구성은 도 10에 도시된 커패시터의 구성과 동일하다.
- <40> 도 12를 참조하면, 원하는 커패시터의 축적 용량을 설정한다. 이때, 원하는 커패시터의 용량이  $C1+C2+C3$ 인 경우에 대하여 설명하기로 한다.
- <41> 먼저, 프로그램 이전이기 때문에 TR1, TR2, TR3 및 TR4(여기서 TR은 '트랜지스터'이다.)는 S1 신호에 의해 오프(off)된 상태이고, A1과 A2 사이의 축적 용량은 제로(0)이다. 여기서, T1, T2, T3 및 T4는 입력 신호로서 한 개의 커패시터를 선택하기 위한 신호이고, 안티 퓨즈 스위치를 프로그램할 수 있는 신호이다.

- <42> 그리고, C1에 연결되어 있는 안티 퓨즈를 온(on)시키기 위하여 상기 T1과 T3 사이에 프로그램이 가능한 전압을 인가시킨다. 그러면, S1에 의해 TR1, TR2, TR3, TR4가 온된다. 이때, A1과 A2 사이의 축적 용량은 C1이 된다.
- <43> 다음에, C2를 연결하기 위하여 T1과 T4 사이에 프로그램이 가능한 전압을 인가시킨다. 그러면, S1에 의해 TR1, TR2, TR3, TR4가 온된다. 이때, A1과 A2 사이의 축적 용량은 C1+C2가 된다.
- <44> 계속해서, C3를 연결하기 위하여 T2과 T3 사이에 프로그램이 가능한 전압을 인가시킨다. 그러면, S1에 의해 TR1, TR2, TR3, TR4가 온된다. 이때, A1과 A2 사이의 축적 용량은 C1+C2+C3가 된다.
- <45> 이와 같이, 상기 방법에 의해 원하는 축적 용량을 갖도록 가변이 가능하다.

#### 【발명의 효과】

- <46> 본 발명에 의하면, 프로그램 즉, 축적 용량의 가변이 가능한 커패시터를 제공한다. 이와 같이, 상기 축적 용량의 가변이 가능함으로서 사용자가 직접 프로그램을 통하여 커패시터의 축적 용량을 결정할 수 있다.
- <47> 따라서, 본 발명은 최근의 다양한 기능을 요구하는 반도체 장치에 적극적인 활용이 가능하다.
- <48> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

하부 전극, 유전막 및 상부 전극으로 이루어진 커패시터;

상기 하부 전극과 연결되고, 상기 커패시터와의 제1전기적 신호를 전달하기 위한 제1금속 배선;

상기 상부 전극과 연결되고, 상기 커패시터와의 제2전기적 신호를 전달하고, 상기 제2전기적 신호의 전달에 의해 상기 커패시터의 용량의 가변이 가능한 제2금속 배선을 포함하되, 상기 제2금속 배선에는 안티 퓨즈가 형성된 프로그램이 가능한 커패시터.

**【청구항 2】**

제1항에 있어서, 상기 제1금속 배선과 제2금속 배선은 서로 엇갈리게 배치되는 것을 특징으로 하는 프로그램이 가능한 커패시터.

**【청구항 3】**

기판 상에 하부 전극, 유전막 및 상부 전극으로 정의되는 커패시터를 형성하는 단계;

상기 커패시터를 갖는 기판 상에 제1층간 절연막을 형성하는 단계;

상기 제1층간 절연막을 패터닝하여 상기 하부 전극을 노출시키는 제1콘택을 갖는 제1층간 절연막 패턴을 형성하는 단계;

상기 제1콘택에는 제1콘택 플러그를 갖는 제1금속 배선을 상기 제1층간 절연막 패턴 상에 형성하는 단계;

상기 제1금속 배선을 갖는 제1층간 절연막 패턴 상에 제2층간 절연막을 형성하는 단계;

상기 제2층간 절연막 및 제1층간 절연막을 순차적으로 패터닝하여 상기 상부 전극을 노출시키는 제2콘택을 갖는 제2층간 절연막 패턴을 형성하는 단계; 및

상기 제2콘택에는 제2콘택 플러그를 갖는 제2금속 배선을 상기 제2층간 절연막 패턴 상에 형성하되, 상기 제2금속 배선에 안티 퓨즈를 형성하는 단계를 포함하는 프로그램이 가능한 커패시터의 제조 방법.

**【청구항 4】**

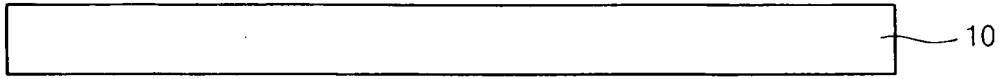
제3항에 있어서, 상기 제1콘택을 갖는 제1층간 절연막 패턴을 형성할 때 상기 제1층간 절연막 패턴에 상기 상부 전극을 노출시키는 제2예비 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 프로그램이 가능한 커패시터의 제조 방법.

**【청구항 5】**

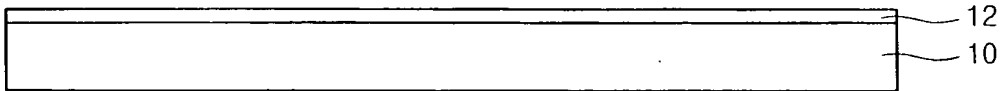
제3항에 있어서, 상기 안티 퓨즈는 상기 제2금속 배선의 제2콘택 플러그를 둘러싸는 형태로 형성되는 것을 특징으로 하는 프로그램이 가능한 커패시터의 제조 방법.

【도면】

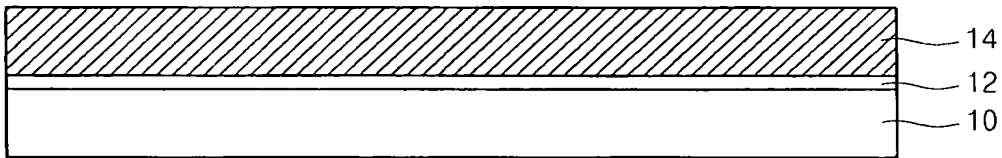
【도 1】



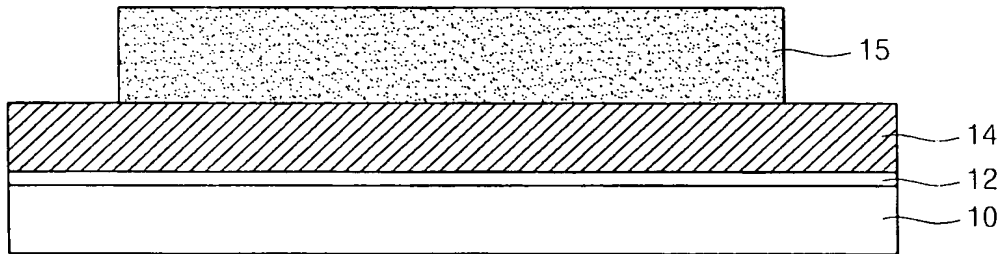
【도 2】



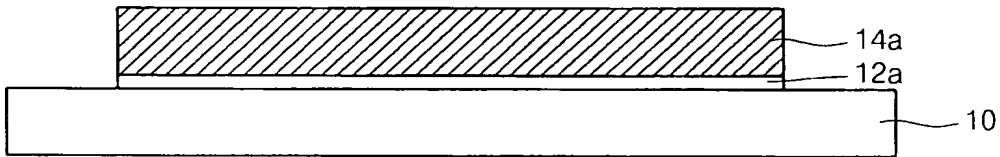
【도 3】



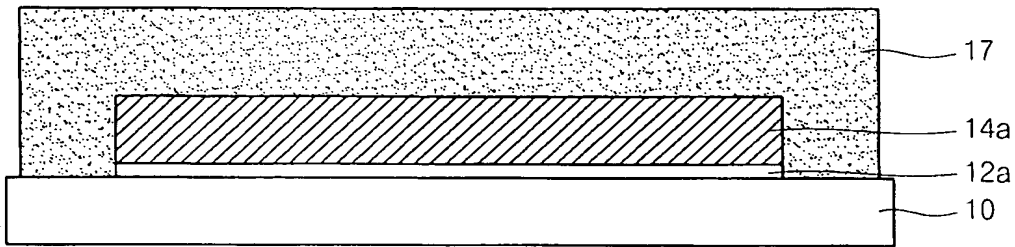
【도 4】



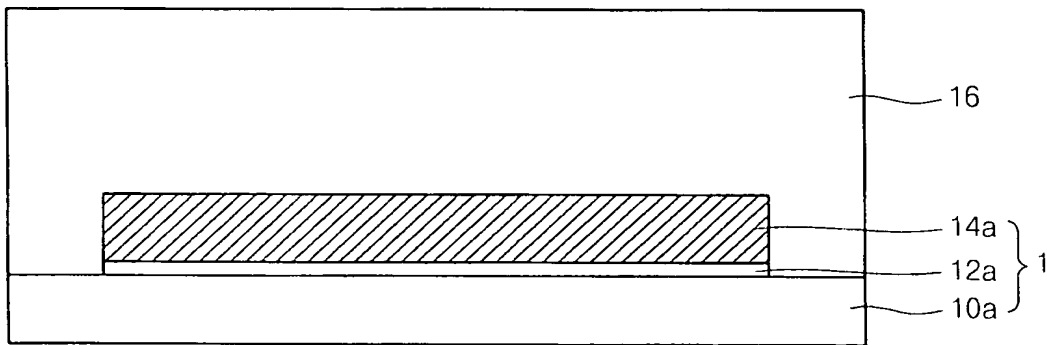
【도 5】



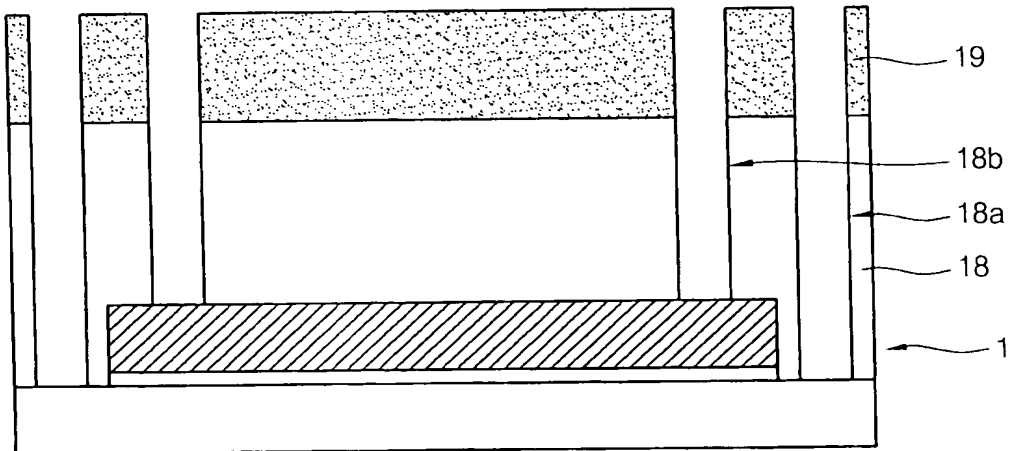
【도 6】



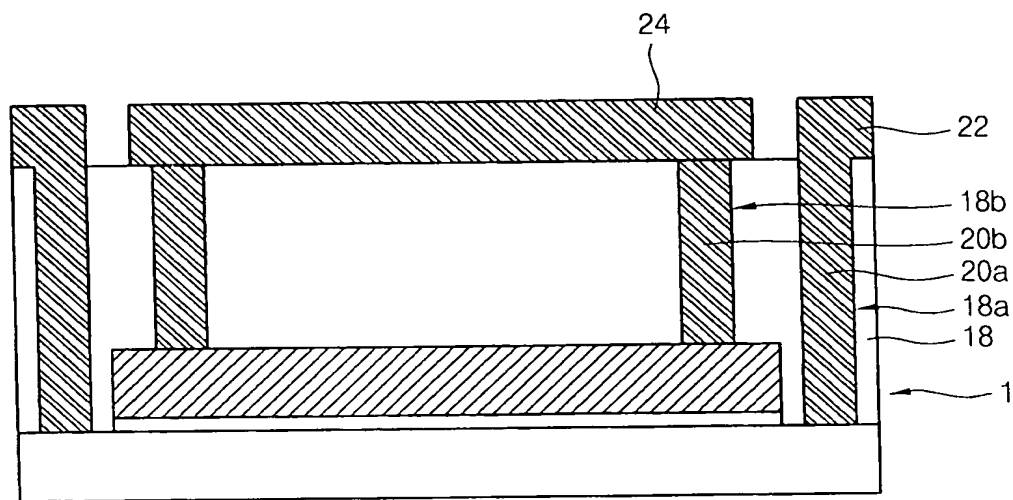
【도 7】



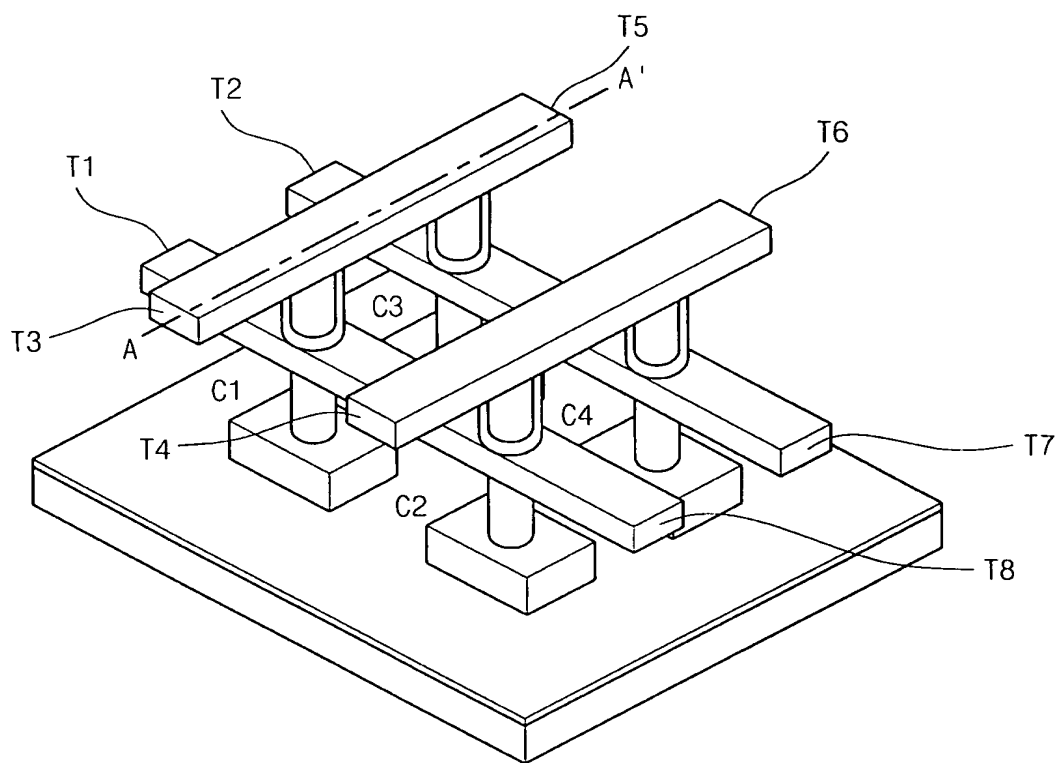
【도 8】



【도 9】

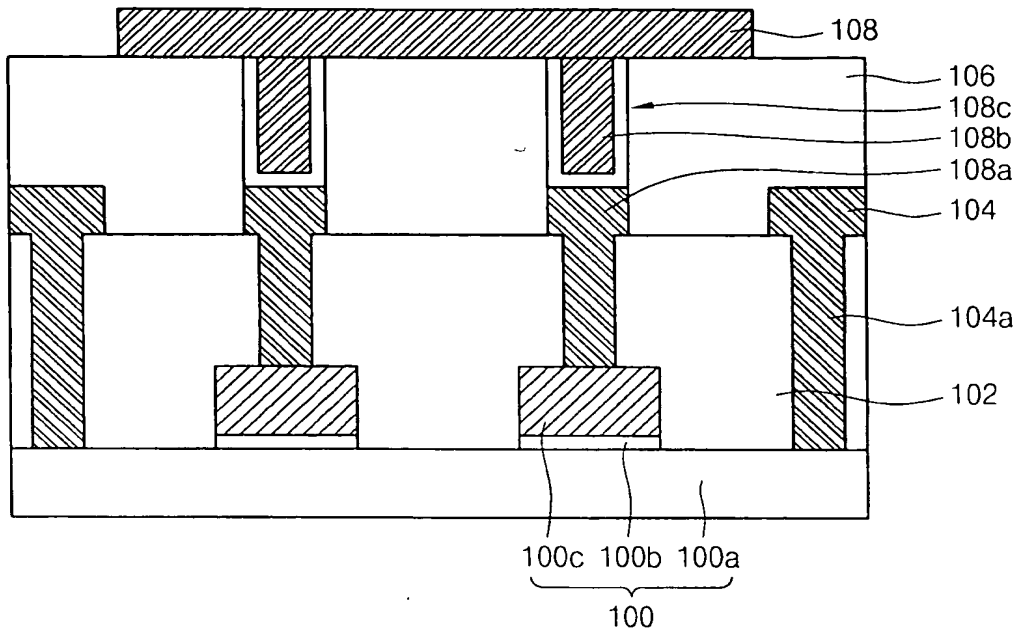


【도 10】





【도 11】



【도 12】

